

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-084913
 (43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 21/3205
 H01L 21/82
 H01L 21/90
 H01L 27/04

(21)Application number : 04-232185

(71)Applicant : NEC CORP

(22)Date of filing : 31.08.1992

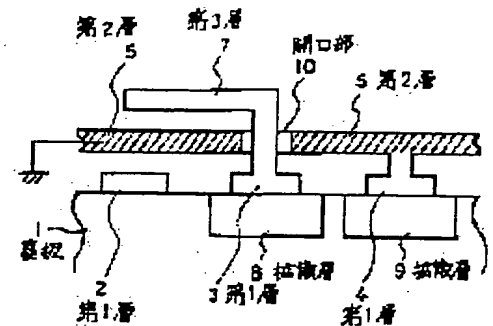
(72)Inventor : YAMADA SUKETAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To eliminate cross talk between adjacent wiring and prevent noise by permitting at least one layer of metal wiring to have a structure that covers almost whole plane of a substrate except an opening that introduces the top and bottom layer connecting parts and connecting the layer with power source or ground potential.

CONSTITUTION: First layers 2, 3 and 4 are arranged on a substrate 1. Then, second layer 5 is arranged on the layers 2, 3 and 4 and a third layer 7 is arranged at the top. The second layer 5 connected with a diffused layer 9 covers the whole plane of the substrate 1 except an opening 10 for introducing the connection of the first layer 3, which is connected with the diffused layer 8, with the third layer 7 and is connected with ground potential. Therefore, the diffused layer 9 is permitted to have ground potential. Thus, the first layer 2 and the third layer 7 are shielded by the second layer 5 and cross talk between a top layer wiring signal and a bottom layer wiring signal is eliminated. As a result, noise of the adjacent wiring signals is prevented.



LEGAL STATUS

[Date of request for examination] 27.09.1996
 [Date of sending the examiner's decision of rejection] 16.03.1999
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-84913

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/3205				
21/82				
21/90	V	7514-4M		
		7514-4M	H 0 1 L 21/ 88	S
		8225-4M	21/ 82	W
審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く				

(21)出願番号 特願平4-232185

(22)出願日 平成4年(1992)8月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山田 資隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 井出 直孝

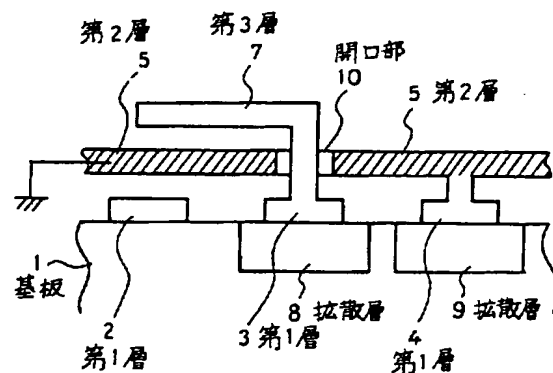
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 半導体集積回路における上層と下層の隣接平行配線のクロストーク(漏話)を防止する。

【構成】 3層配線構造に構成されている場合、第2層により第1層と第3層とを接続する開口部を除き全面を覆い、第2層を電源あるいは接地電位として第1層と第2層の信号をシールドする。

【効果】 ノイズの発生をなくし、このノイズに起因する誤動作を防止することができる。



【特許請求の範囲】

【請求項1】 基板上に第一層から第n層（nは3以上の自然数）までの金属配線が階層構造で配置された半導体集積回路において、前記金属配線のうちの少なくとも1層以上の層がその上層およびその下層の接続部を導入する開口部を除き前記基板のほぼ全面を覆う構造であり、当該層が電源あるいは接地電位に接続されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路の配線に利用する。本発明は、多層配線構造の隣接平行線間で生じるクロストーク（漏話）を防止することができる半導体集積回路に関する。

【0002】

【従来の技術】従来の3層以上の多層配線構造では、基板に最も近い第1層から最も遠い第n層までの特定の層を信号線、電源線、あるいはグランド線として使い分けられずに任意に配線されていた。

【0003】図6は従来例の配線構造を示す平面図、図7は図6に示すC-C断面図である。この例のように従来は、第1層71、72、第2層73、74および第3層75がそれぞれ隣接平行して配線されている。

【0004】

【発明が解決しようとする課題】このような従来の多層構造配線では、第2層74と第3層の75との配線間でクロストークが生じ易くなり、各々の信号にノイズが発生し、場合によっては誤動作の原因となる問題があった。

【0005】本発明はこのような問題を解決するもので、隣接配線の信号にノイズが発生することを防止することができる半導体集積回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、基板上に第一層から第n層（nは3以上の自然数）までの金属配線が階層構造で配置された半導体集積回路において、前記金属配線のうちの少なくとも1層以上の層がその上層およびその下層の接続部を導入する開口部を除き前記基板のほぼ全面を覆う構造であり、当該層が電源あるいは接地電位に接続されたことを特徴とする。

【0007】

【作用】例えば、3層配線構造としたときに、第2層の配線を第1層および第3層の接続部を導入する開口部を除き基板の全面を覆う構造とし、電源あるいは接地電位に接続してシールドする。

【0008】これにより、上層と下層との隣接平行配線のクロストークを防止することができ、ノイズの発生をなくして、このノイズに起因する誤動作を防止すること

ができる。

【0009】

【実施例】次に、本発明実施例を図面に基づいて説明する。

【0010】（第一実施例）図1は本発明第一実施例の構成を示す平面図、図2は本発明第一実施例の図1に示すA-A断面図である。

【0011】本発明第一実施例は、基板1に最も近い層から第1層2、3、4、次に第2層5、そして最上層に第3層7が配置され、拡散層9に接続された第2層5は、拡散層8に接続された第1層3と、第3層7との接続を導入するための開口部10を除き他の部分は基板1の全面を覆い、かつ接地電位に接続される。したがって拡散層9は接地電位となっている。これにより、第1層2と第3層7は第2層5によりシールドされる。

【0012】（第二実施例）図3は本発明第二実施例の構成を示す平面図、図4は本発明第二実施例の図3に示すB-B断面図である。

【0013】本発明第二実施例は、第1層31、32、33と、第2層35、34と、最上層の第3層36とにより構成される。第2層35は開口部37を有し、接地電位に接続され、第2層35、34と第3層36を接続する部分以外の基板1の全面を覆っている。第一実施例との相違は第2層34を有しておりその分だけ第2層35の開口部37が大きくなっている点である。この第2層35により第1層31、32は第3層36の影響を受けないようにシールドされる。

【0014】（第三実施例）図5は本発明第三実施例の構成を示す断面図である。

【0015】本発明第三実施例は、第1層51、52、53と、第2層54と、第3層55、56と、第4層57と、第5層58、59とにより構成され、第1層52および53はそれぞれ拡散層60および61に接続される。第2層54は第3層55、56と第1層51との信号をシールドし、第4層57は第3層55、56と第5層58、59との信号をシールドする。また、第2層54には開口部62、63を有し、第4層57には開口部64を有する。さらに、第2層54および第4層57は電源電位あるいは接地電位に接続される。

【0016】

【発明の効果】以上説明したように本発明によれば、3層以上の多層金属配線の第1層と第n層の間にはさまれる金属配線を下層と上層との接続のための開口部を除いて全面を覆う配線とし、電源電位あるいはグランド電位におとすことにより、上層配線の信号と下層配線の信号にクロストークが生じることをなくすることができる効果がある。

【図面の簡単な説明】

【図1】本発明第一実施例の構成を示す平面図。

【図2】本発明第一実施例の図1に示すA-A断面図。

【図3】本発明第二実施例の構成を示す平面図。

【図4】本発明第二実施例の図3に示すB-B断面図。

【図5】本発明第三実施例の構成を示す断面図。

【図6】従来例の構成を示す平面図。

【図7】従来例の図1に示すC-C断面図。

【符号の説明】

1 基板

2、3、4、31、32、33、51、52、53、7*

* 1、72 第1層

5、34、35、54、73、74 第2層

7、36、55、56、75 第3層

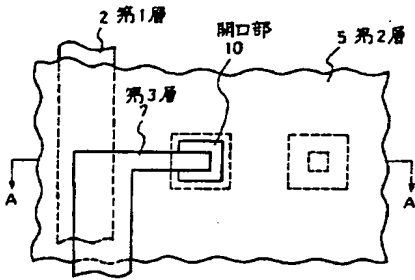
8、9、60、61 拡散層

10、37、62、63、64 開口部

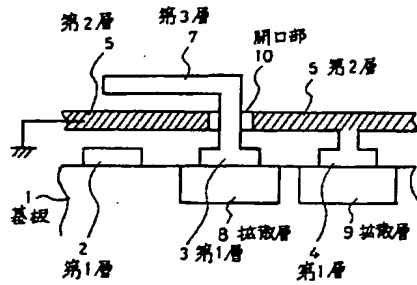
57 第4層

58、59 第5層

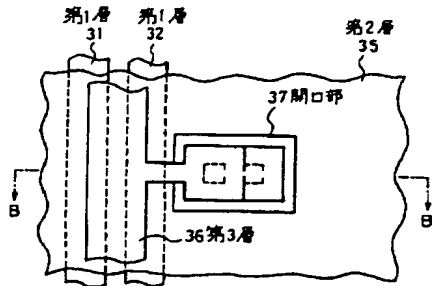
【図1】



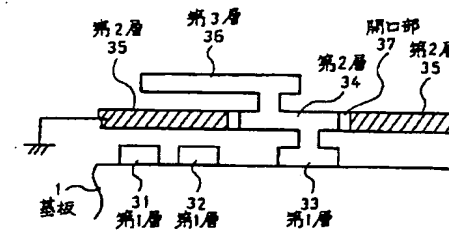
【図2】



【図3】

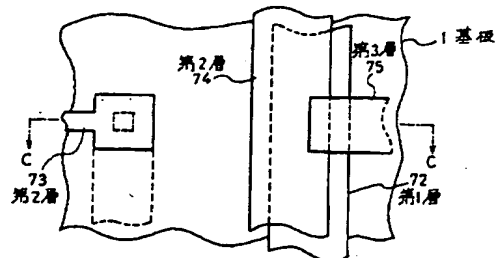
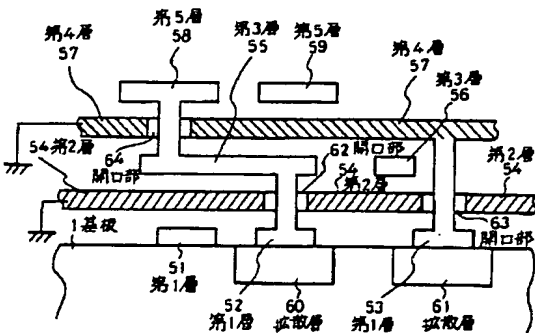


【図4】

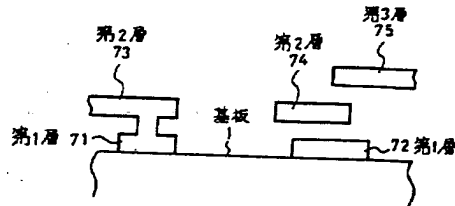


【図6】

【図5】



【図7】



【手続補正書】

【提出日】平成5年11月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】図6は従来例の配線構造を示す平面図、図7は図6に示すC-C断面図である。第1層71、72、第2層73、74および第3層75の3層配線構造である。

【手続補正2】

*【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【発明が解決しようとする課題】このような従来の多層構造配線では、第2層74と第1層の72との配線間でクロストークが生じ易くなり、各々の信号にノイズが発生し、場合によっては誤動作の原因となる問題があった。

*

フロントページの続き

(51)Int.Cl.⁵

H01L 27/04

識別記号

片内整理番号

F I

技術表示箇所

D 8427-4M